

First Hit**End of Result Set** [Generate Collection](#)

L2: Entry 1 of 1

File: JPAB

Mar 16, 1992

PUB-N0: JP404082090A
DOCUMENT-IDENTIFIER: JP 04082090 A
TITLE: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

PUBN-DATE: March 16, 1992

INVENTOR-INFORMATION:

NAME	COUNTRY
TERADA, YASUSHI	
MIYAWAKI, YOSHIKAZU	
NAKAYAMA, TAKESHI	
KOBAYASHI, SHINICHI	
HAYASHIGOE, MASANORI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	

APPL-N0: JP02197470

APPL-DATE: July 23, 1990

US-CL-CURRENT: 365/189.01

INT-CL (IPC): G11C 16/06; H01L 27/115; H01L 29/788; H01L 29/792

ABSTRACT:

PURPOSE: To simplify write-in with verification function by performing the inside readout of storage contents after the write-in to a selection memory transistor and performing verification write-in again when a comparison signal indicates incoincidence while comparing outside write-in data and inside readout data.

CONSTITUTION: After a write verification control means 21 activates the inside write-in means at the time of write-in and performs the write-in in a selection memory transistor, the inside readout means is activated and the inside readout of the storage contents of the selection memory transistor is performed. After that, an inside data comparator 22 is activated to execute the verification write-in operation comparing the outside write-in data and the inside readout data while activating the inside data comparator 22, and the verification write-in operation is performed again when the comparison signal indicates incoincidence. Thus, the verification and re-verification to be operated after the write-in are performed only with the inside construction part.

COPYRIGHT: (C)1992,JPO&Japio

⑪ 公開特許公報 (A) 平4-82090

⑫ Int. Cl.⁵
G 11 C 16/06

識別記号

序内整理番号

⑬ 公開 平成4年(1992)3月16日

9191-5L G 11 C 17/00 309 A
7514-4M H 01 L 29/78 371 ※

審査請求 未請求 請求項の数 1 (全10頁)

⑭ 発明の名称 不揮発性半導体記憶装置

⑮ 特 願 平2-197470

⑯ 出 願 平2(1990)7月23日

⑰ 発明者 寺 田 康 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰ 発明者 宮 路 好 和 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰ 発明者 中 山 武 志 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰ 発明者 小 林 真 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰ 出 願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑰ 代 理 人 弁理士 大岩 増雄 外2名

最終頁に続く

明細書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) フローティングゲートを有し、不揮発な記憶を行うメモリトランジスタからなるメモリセルを備えた不揮発性半導体記憶装置であって、

活性状態時に、外部アドレス信号に基づき選択された選択メモリトランジスタに対し、外部書き込みデータに応じて不揮発な書き込みを行う書き込み手段と、

活性状態時に、前記選択メモリトランジスタの記憶内容を内部読み出しデータとして出力する読み出し手段と、

活性状態時に、前記外部書き込みデータと前記内部読み出しデータとを比較して、その一致／不一致を指示する比較信号を出力するデータ比較手段と、

書き込み時に前記書き込み手段を活性化し、前記選択メモリトランジスタへの書き込みを行った

後、前記読み出し手段を活性化し前記選択メモリトランジスタの記憶内容の内部読み出しを行い、その後に前記データ比較手段を活性化して前記外部書き込みデータと前記内部読み出しデータとを比較するペリファイ書き込み動作を実行し、前記比較信号が一致を指示した場合、再度前記ペリファイ書き込み動作を行う書き込み制御手段とを備えた不揮発性半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はE PROM, EEPROM等の電気的書き込みが可能な不揮発性半導体記憶装置に関するものである。

〔従来の技術〕

第3図は従来のE PROMの基本構成を示す回路図である。同図に示すように、メモリセル(メモリトランジスタ)1がマトリクス状(図中2行6列のみ示す)に配置されている。メモリトランジスタ1はフローティングゲートを有しており不揮発な記憶を行うことができる。このメモリトランジスタ1は、活性化時に選択される。

トランジスタ 1 のドレインは列単位に共通にビット線 2 に接続され、コントロールゲートは行単位に共通にワード線 3 に接続され、ソースは所定数列（図中 3 列）単位に共通にソース線 4 に接続される。

各ビット線 2 はそれぞれ Y ゲートトランジスタ 6 を介して所定数列（図中 3 列）単位で共通に I／O 線 7 に接続される。Y ゲートトランジスタ 6 のゲートにはコラムデコーダ 5 の出力がそれぞれ与えられ、ワード線 3 はロウデコーダ 8 に接続される。コラムデコーダ 5 はアドレスバッファ 9 より得られる列アドレス信号に基づき、選択的にその出力を H レベルあるいは高電圧 V_{pp} レベルに設定する。一方、ロウデコーダ 8 はアドレスバッファ 9 より得られる行アドレス信号に基づき、選択的にワード線 3 を H レベルあるいは高電圧 V_{pp} レベルに設定する。

各 I／O 線 7 は読み出しトランジスタ 10 を介してセンスアンプ 11 に接続されると共に書き込みトランジスタ 12 を介して高電圧源 V_{pp} に接続

11 にラッピングされた 1 ビット出力データ S 11 を取り込み、この 1 ビット出力データ S 11 の H／L に対応して "0" / "1" の外部読み出しデータを出力する。なお、センスアンプ 11（昇圧回路 13）の個数は、8 個以上（8n 個 ($n \geq 2$)）の場合が一般的であり、読み出し時にすべてのセンスアンプ 11 に格納されたビットデータを取り込むには、1 バイト分の 1 ビット出力データ S 11 を n 回に分けて入出力バッファ 14 に順次取り込む必要がある。

このような構成の EEPROM のメモリトランジスタへのデータ書き込み動作について説明する。なお、書き込み動作を行う前に予め消去動作を行っておく必要がある。

消去動作は、EEPROM チップ上から紫外線を照射することにより行われる。紫外線を照射すると、全てのメモリトランジスタ 1 のフローティングゲートに蓄積されていた電子が放出され、閾値電圧が 1V 程度と低くなる（このときの閾値電圧を V_{th1} とする）。この状態が "1" 記憶状態に

される。読み出しトランジスタ 10 のゲートには読み出し信号 R が印加され、書き込みトランジスタ 12 のゲートには昇圧回路 13 の出力が与えられる。センスアンプ 11 は入出力バッファ 14 に後述する 1 ビット出力データ S 11 を出力し、昇圧回路 13 には書き込み信号 W と 1 ビット書き込みデータ S 14 とが与えられる。この昇圧回路 13 は書き込み信号 W が H の時、活性状態となり、1 ビット書き込みデータ S 14 が H の場合、書き込みトランジスタ 12 のゲートに高電圧 V_{pp} を出力し、1 ビット書き込みデータ S 14 が L の場合、書き込みトランジスタ 12 のゲートに L レベルを出力する。なお、書き込み信号 W 及び読み出し信号 R は制御信号発生回路 15 が、図示しない外部制御信号に基づき出力する。

入出力バッファ 14 は書き込み時に 1 バイト（8 ビット）単位で同時に各界圧回路 13 に、外部書き込みデータの "1" / "0" に対応して L / H の 1 ビット書き込みデータ S 14 を出力し、読み出し時に 1 バイト単位で同時にセンスアンプ

相当する。

上記消去動作を実行した後、書き込み動作を行う。書き込み動作時には読み出し信号 R を L、書き込み信号 W を H にし、センスアップ 11 と I／O 線 7 とを電気的に遮断し、昇圧回路 13 を活性状態にする。そして、ソース線 4 を接地して、コラムデコーダ 5 の出力を選択的に高電圧 V_{pp} に立ち上げることによりビット線 2 を選択すると共に、ロウデコーダ 8 により選択的にワード線 3 を高電圧 V_{pp} に立ち上げる。このように設定すると、入出力バッファ 14 から取り込んだ 1 ビット書き込みデータ S 14 が H の場合、書き込みトランジスタ 12 のゲートに高電圧 V_{pp} が印加され、L の場合、書き込みトランジスタ 12 のゲートに L が与えられる。

その結果、選択されたワード線 3 とビット線 2 との交点にある選択メモリトランジスタ 1 は、入出力バッファ 14 から取り込んだ 1 ビット書き込みデータ S 14 が "0" 書き込みを指示する H の場合、そのドレイン及びコントロールゲートに高電

圧 V_{pp} が印加され、ドレイン近傍のアバランシェ崩壊により生じたホットエレクトロンがフローティングゲートに注入されることにより、その閾値電圧が 6~8V と高くなる。(このときの閾値電圧を V_{th2} ($> V_{th1}$) とする)。このメモリトランジスタ 1 の状態が "0" 記憶状態に相当する。一方、入出力バッファ 14 から取り込んだ 1 ビット書き込みデータ S14 が "1" 書き込みを指示するしの場合、そのドレインがフローティングとなるためドレイン近傍にアバランシェ崩壊は生じず閾値電圧は V_{th1} を維持し、"1" 記憶状態を保つ。このようにして、メモリトランジスタ 1 へのデータ書き込みが行われる。

次にメモリトランジスタに書き込まれた記憶内容の読み出し動作について説明する。

読み出し動作時は、読み出し信号 R を H、書き込み信号 W を L にし、センスアンプ 11 と I/O 線 7 とを電気的に接続し、昇圧回路 13 を非活性状態にする。そして、ソース線 4 を接地して、コラムデコーダ 8 の出力を選択的に H に設定することによって選択メモリトランジスタ 1 の記憶内容が読み出される。

スパン (高電圧 V_{pp} 印加時間) にはらつきが生じる等、その書き込み特性にはらつきがある。このため、1 回の書き込み動作により、全てのメモリトランジスタに対し正確に書き込みを行うことは難しく、再書き込みが必要なメモリトランジスタを検出する必要がある。従って、書き込み後に、正常に ("0") の書き込みが実行されたを確認するためのベリファイ動作が行われるのが一般的である。

ベリファイ動作は、E PROM の書き込み動作実行中において、1 バイト単位の書き込み動作を実行する度に、メモリトランジスタの記憶データを外部に読み出して、書き込みデータと比較することにより、正常に書き込まれたか否かをチェックする動作である。そして、このベリファイ動作により書き込み異常を検出すると再書き込みを行う。このようなベリファイ機能を有する書き込み動作は、PROM ライターとよばれる専用の外部装置によって行われる。

【発明が解決しようとする課題】

とによりビット線 2 を選択すると共に、ロウデコーダ 8 により選択的にワード線 3 に 5V 程度の読み出し電圧 VR ($V_{th1} < VR < V_{th2}$) を与える。このように設定すると、選択メモリトランジスタ 1 に "0" が記憶されている場合、選択メモリトランジスタ 1 はオフ状態を維持するため、ビット線 2 を介して I/O 線 7 からソース線 4 にかけて電流が流れず、選択メモリトランジスタ 1 に "1" が記憶されている場合、メモリトランジスタ 1 はオンするため、ビット線 2 を介して I/O 線 7 からソース線 4 にかけて電流が流れ。この電流の流れの有無をセンスアンプ 11 によりセンスし、電流検出時に L、電流非検出時に H となる 1 ビット出力データ S11 を入出力バッファ 14 に出力する。そして、入出力バッファ 14 から 1 バイト単位で外部読み出しデータを外部に出力することによって選択メモリトランジスタ 1 の記憶内容が読み出される。

ところで、同一チップ内の E PROM のメモリトランジスタ間においても書き込みに必要なバル

E PROM 等のように、ベリファイ機能を有する書き込み動作を実行する必要のある従来の不揮発性半導体記憶装置は以上のように構成されており、PROM ライター等の専用の外部装置を用いて書き込み及びベリファイを行っていた。

このため、書き込み時に必ず PROM ライター等の外部装置に接続する必要があり、書き込みに手間がかかってしまうという問題点があった。

この発明は上記のような問題点を解決するためになされたもので、ベリファイ機能付き書き込みを比較的簡単に実行ができる不揮発性半導体記憶装置を得ることを目的とする。

【課題を解決するための手段】

この発明にかかる不揮発性半導体記憶装置は、フローティングゲートを有し、不揮発性記憶を行うメモリトランジスタからなるメモリセルを備えており、活性状態時に、外部アドレス信号に基づき選択された選択メモリトランジスタに対し、外部書き込みデータに応じて不揮発性書き込みを行う書き込み手段と、活性状態時に、前記選択メモ

リトランジスタの記憶内容を内部読み出しデータとして出力する読み出し手段と、活性状態時に、前記外部書き込みデータと前記内部読み出しデータとを比較して、その一致／不一致を指示する比較信号を出力するデータ比較手段と、書き込み時に前記書き込み手段を活性化し、前記選択メモリトランジスタへの書き込みを行った後、前記読み出し手段を活性化し前記選択メモリトランジスタの記憶内容の内部読み出しを行い、その後に前記データ比較手段を活性化して前記外部書き込みデータと前記内部読み出しデータとを比較するベリファイ書き込み動作を実行し、前記比較信号が一致を指示した場合、再度前記ベリファイ書き込み動作を行う書き込み制御手段とを備えている。

【作用】

この発明における書き込み制御手段は、書き込み時に内部の書き込み手段を活性化し、選択メモリトランジスタへの書き込みを行った後、内部の読み出し手段を活性化し選択メモリトランジスタの記憶内容の内部読み出しを行い、その後に内部

イ機能付き書き込み動作の制御を行う。なお、これらの信号W₂、R、CのHレベル出力時間は内部のタイマーを用いて、所定時間に設定されている。また、書き込みベリファイ制御回路21はANDゲート23の出力信号S₂₃を取り込み、この信号S₂₃に基づき再書き込みが必要と判断した場合、後述する再書き込み動作を実行する。コンパレータ22はセンスアンプ11に対応して設けられている、つまり、コンパレータ22の個数はセンスアンプ11（昇圧回路13）同様、一般的に8n個（図中2つのみ示す）設けられている。このコンパレータ11はベリファイ信号C、入出力バッファ14からの1ビット書き込みデータS₁₄及びセンスアンプ11の1ビット出力データS₁₁を受け、ベリファイ信号CがHの場合活性状態となり、1ビット出力データS₁₁と1ビット書き込みデータS₁₄とを比較し、一致した場合はH、不一致の場合はLの比較結果S₂₂をANDゲート23に出力する。

ANDゲート23は1バイト（図中、2つのみ

のデータ比較手段を活性化して外部書き込みデータと内部読み出しデータとを比較するベリファイ書き込み動作を実行し、比較信号が不一致を指示した場合、再度ベリファイ書き込み動作を行うため、書き込み後に行うベリファイ動作・再書き込み動作を内部の構成部のみで行うことができる。

【実施例】

第1図はこの発明の第1実施例であるE PROMの基本構成を示す回路図である。同図に示すように、書き込みベリファイ制御回路21、コンパレータ22及びANDゲート23が新たに追加された。

書き込みベリファイ制御回路21は制御信号発生回路15からの書き込み信号WとANDゲート23の出力信号S₂₃とを受け、書き込み信号W₂、読み出し信号R及びベリファイ信号Cを出力する。具体的には、Hレベルの書き込み信号Wが与えられると、活性状態となり、通常はLレベルの書き込み信号W₂、読み出し信号R及びベリファイ信号Cを順次Hレベルに立ち上げ、ベリファ

示す）のコンパレータ22の比較結果S₂₂を取り込み、その論理積である出力信号S₂₃を書き込みベリファイ制御回路21に出力する。なお、他の構成は第3図で示した従来例と同様であるため説明は省略する。

このような構成のE PROMのメモリトランジスタへのデータ書き込みは、消去動作が実行された後に実行される。消去動作は従来同様にE PROMチップ上から紫外線を照射し、全メモリトランジスタ1の閾値電圧をV_{th1}（“1”記憶状態）にすることにより行われる。

書き込み動作は、制御信号発生回路15より、Hの書き込み信号Wを書き込みベリファイ制御回路21に付与することにより開始される。すると、書き込みベリファイ制御回路21は活性状態となり、書き込み信号W₂をHに立ち上げ、読み出し信号R及びベリファイ信号CをLにし、センサアップ11とI/O線7間を電気的に遮断し、昇圧回路13を活性状態にする。そして、コラムデータ5の出力を選択的に高電圧V_{pp}に立ち上げる

ことによりビット線 2 が選択されると共に、ロウデコーダ 8 によりワード線 3 が選択的に高電圧 V_{pp} に立ち上げられる。すると、入出力バッファ 1 4 から取り込んだ 1 ビット書き込みデータ S_{14} が H の場合、書き込みトランジスタ 1 2 のゲートに高電圧 V_{pp} が印加され、L の場合、書き込みトランジスタ 1 2 のゲートに L が与えられる。

その結果、選択されたワード線 3 とビット線 2 との交点にある選択メモリトランジスタ 1 は、入出力バッファ 1 4 から取り込んだ 1 ビット書き込みデータ S_{14} が "0" 書き込みを指示する H レベルの場合、そのドレイン及びコントロールゲートに高電圧 V_{pp} が印加され、ドレイン近傍のアバランシェ崩壊により生じたホットエレクトロンがフローティングゲートに注入され、その閾値電圧が V_{th2} ($> V_{th1}$) となる。このメモリトランジスタ 1 の状態が "0" 記憶状態に相当する。一方、1 ビット書き込みデータ S_{14} が "1" 書き込みを指示する L レベルの場合、そのドレインがフローティングとなるためドレイン近傍にアバランシェ

崩壊は生じず閾値電圧は V_{th1} を維持し、"1" 記憶状態を保つ。このようにして、選択メモリトランジスタ 1 へのデータ書き込みが行われる。

その後、書き込み信号 W 2 は L に立ち下がり、読み出し信号 R が H に立ち上がる。すると、センスアンプ 1 1 と I/O 線 7 とが電気的に接続され、昇圧回路 1 3 が非活性状態になる。そして、コラムデコーダ 5 の出力を選択的に H に設定することによりビット線 2 が選択されると共に、ロウデコーダ 8 により選択的にワード線 3 に 5 V 程度の読み出し電圧 V_R ($V_{th1} < V_R < V_{th2}$) が与えられる。すると、選択メモリトランジスタ 1 に "0" が記憶されている場合、選択メモリトランジスタ 1 はオフ状態を維持するため、ビット線 2 を介して I/O 線 7 からソース線 4 にかけて電流が流れず、選択メモリトランジスタ 1 に "1" が記憶されている場合、メモリトランジスタ 1 はオンするため、ビット線 2 を介して I/O 線 7 からソース線 4 にかけて電流が流れれる。センスアンプ 1 1 は、この電流の流れの有無をセンスし、電流

検出時に L、電流非検出時に H となる 1 ビット出力データ S_{11} を入出力バッファ 1 4 に出力するとともにコンパレータ 2 2 に出力する。

その後、読み出し信号 R が L に立ち下がり、ベリファイ信号 C が H に立ち上がる。ベリファイ信号 C が H になると、コンパレータ 2 2 が活性状態となり、センスアンプ 1 1 の 1 ビット出力データ S_{11} と入出力バッファ 1 4 から出力された 1 ビット書き込みデータ S_{14} とを比較し、 $S_{11} = S_{14}$ で H、 $S_{11} \neq S_{14}$ で L の比較結果 S_{22} を出力する。従って、コンパレータ 2 2 の比較結果 S_{22} が L の場合、選択メモリトランジスタへの書き込みが正常に行えなかったことになる。以上のステップが 1 バイト単位で実行されるベリファイ機能付書き込み動作である。

AND ゲート 2 3 に取り込まれるコンパレータの比較結果 S_{22} が 1箇所でも L の場合、AND ゲート 2 3 の出力信号 S_{23} が L となり、一方、全てのコンパレータの出力信号 S_{22} が H の場合、AND ゲート 2 3 の出力信号 S_{23} が H となる。

書き込みペリファイ制御回路 2 1 は、この出力信号 S_{23} が H の場合、書き込み動作を終了し、L の場合、上記ペリファイ機能付書き込み動作を再度実行する。

したがって、書き込み時に少なくとも 1 つのメモリトランジスタにおいて、正常にデータの書き込みが行えなかた場合は、自動的に再書き込みを行うことができる。このため、メモリトランジスタの書き込み特性にばらつきがあっても、E PROM ライター等の外部装置に接続することなく E PROM の内部構成部のみを利用するだけで、正常に書き込みを行うことができる。なお、読み出し動作は従来同様に行われるため説明は省略する。

第 2 図はこの発明の第 2 の実施例である E PROM の基本構成を示す回路図である。同図に示すように、第 1 の実施例に比べ、コンパレータ 1 1 に対応してラッチ 2 4 が新たに設けられている。つまり、ラッチ 2 2 の個数はコンパレータ 2 2 (昇圧回路 1 3) 同様、8 n 個設けられている。このラッチ 2 4 に入出力バッファ 1 4 の 1 ビット

書き込みデータ S 14 がラッチされる。そして、このラッチ 24 に格納されたラッチデータ S 24 が界圧回路 13 及びコンパレータ 22 に与えられる。なお、他の構成は第 1 図で示した第 1 の実施例と同様であるため、説明は省略する。

このように構成すると、ラッチ 24 に格納されたラッチデータ S 24 に基づきベリファイ機能付き書き込み動作が行えるため、1 バイト単位でしかベリファイ機能付き書き込みを行うことができなかった第 1 の実施例に比べ、最高で 8 バイト単位でベリファイ機能付き書き込みを行うことが可能になる分、書き込み時間の高速化が実現する。

なお、これらの実施例では不揮発性半導体記憶装置として EEPROM を示したが、これに限定されずフラッシュ EEPROM 等の書き込み後にベリファイ動作を必要とする全ての不揮発性半導体記憶装置に適用可能である。

〔発明の効果〕

以上説明したように、この発明によれば、書き込み制御手段により、書き込み時に内部の書き込

み手段を活性化し、選択メモリトランジスタへの書き込みを行った後、内部の読み出し手段を活性化し選択メモリトランジスタの記憶内容の内部読み出しを行い、その後に内部のデータ比較手段を活性化して外部書き込みデータと内部読み出しどうとを比較するベリファイ書き込み動作を実行し、比較信号が不一致を指示した場合、再度ベリファイ書き込み動作を行うため、書き込み後にベリファイ動作・再書き込み動作を内部の構成部のみで自動的に行うことができ、ベリファイ機能付き書き込み動作が簡単に行える。

4. 図面の簡単な説明

第 1 図はこの発明の第 1 の実施例である EEPROM の基本構成を示す回路図、第 2 図はこの発明の第 2 の実施例である EEPROM の基本構成を示す回路図、第 3 図は従来の EEPROM の基本構成を示す回路図である。

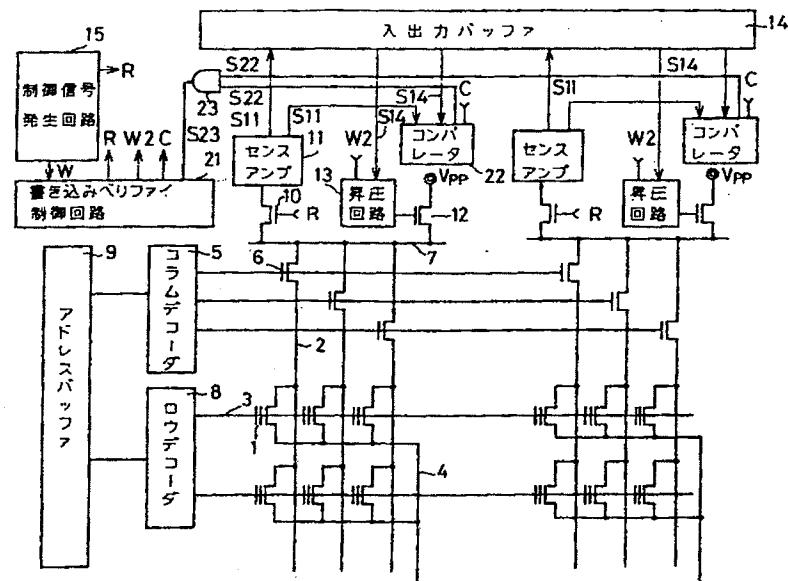
図において、1 はメモリトランジスタ、11 はセンスアンプ、21 は書き込みベリファイ制御回路、22 はコンパレータ、23 は AND ゲート、

24 はラッチである。

なお、各図中同一符号は同一または相当部分を示す。

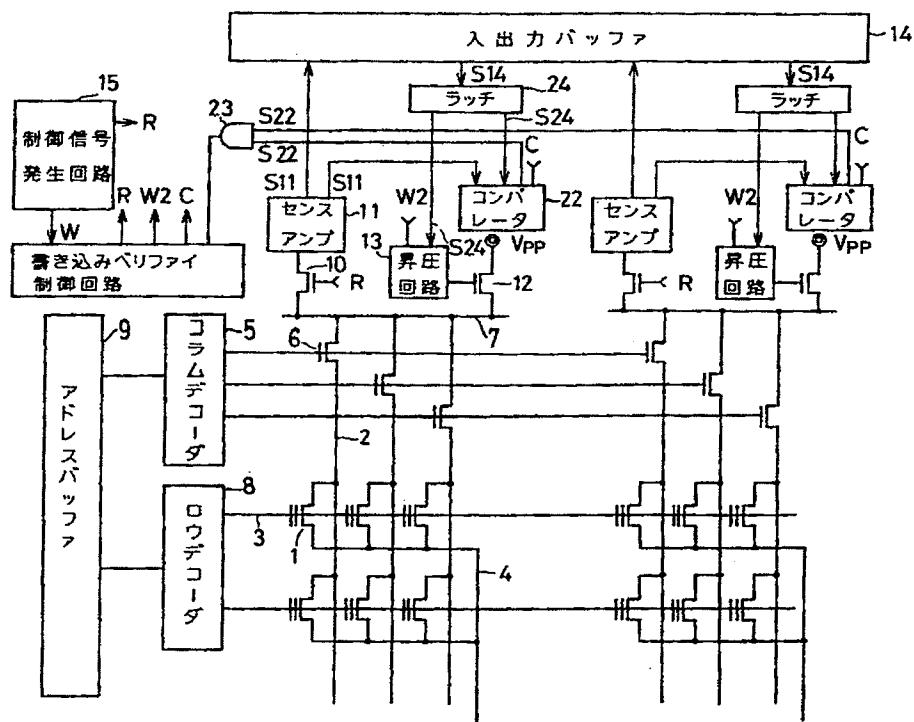
代理人 大岩 増雄

第 1 頁

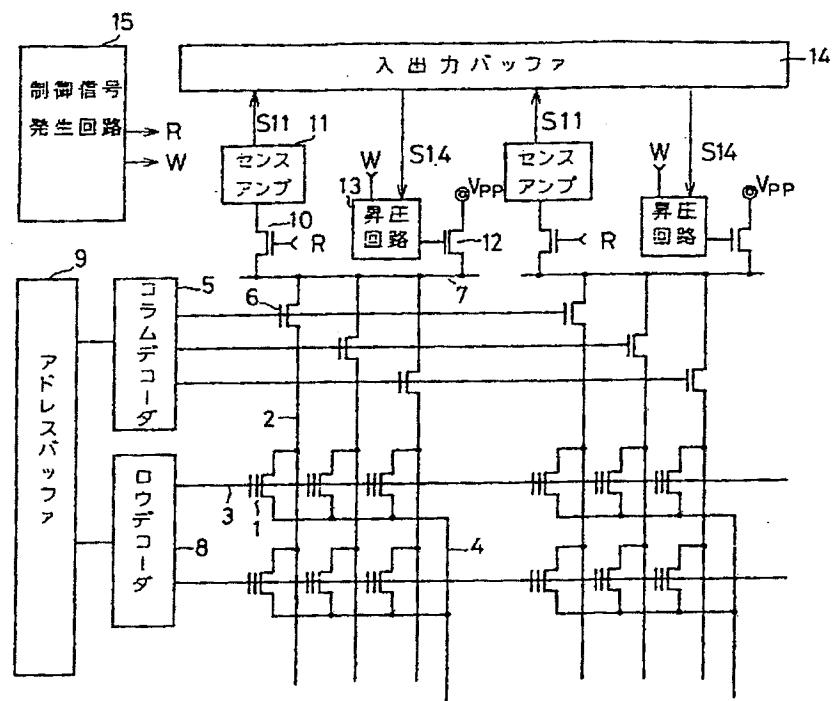


1: メモリトランジスタ 23: ANDゲート

第 2 図



第3図



第1頁の続き

⑤Int.Cl.⁵

識別記号

府内整理番号

H 01 L 27/115
29/788
29/792

8831-4M H 01 L 27/10 434

⑥発明者 林 越 正 紀 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

手続補正書(自発)

3 5 10
平成 年 月 日

特許庁長官殿

1. 事件の表示 特願昭 2-197470号

2. 発明の名称 不揮発性半導体記憶装置

3. 補正をする者

事件との関係 特許出願人
 住 所 東京都千代田区丸の内二丁目2番3号
 名 称 (601)三菱電機株式会社
 代表者 志岐 守哉

4. 代理人

住 所 東京都千代田区丸の内二丁目2番3号
 三菱電機株式会社内
 氏名 (7375)弁理士 大岩 増雄
 (連絡先 03(3213)3421特許部)
 (連絡先 03(3213)3421特許部)

方式審査



5. 補正の対象

明細書の「特許請求の範囲の欄」及び「発明の詳細な説明の欄」

6. 補正の内容

- (1) 特許請求の範囲を別紙の通り補正する。
- (2) 明細書第11頁第11行ないし第12行及び第20頁第6行の「ベリファイ書き込み」を、「書き込みベリファイ」に訂正する。
- (3) 明細書第11頁第13行ないし第14行、第12頁第4行及び第20頁第7行ないし第8行の「ベリファイ書き込み」を、「書き込み」に訂正する。
- (4) 明細書第16頁第13行の「"0"が記憶されている場合」を、「書き込みが充分なされた場合」に訂正する。
- (5) 明細書第16頁第16行ないし第17行の「"1"が記憶されている場合」を、「書き込みが不充分な場合」に訂正する。
- (6) 明細書第18頁第7行の「行えなかた」を、「行えなかつた」に訂正する。

(7) 明細書第20頁第8行の「行うするため」
 を、「行うため」に訂正する。

2. 特許請求の範囲

(1) フローティングゲートを有し、不揮発な以上 記憶を行うメモリトランジスタからなるメモリセルを備えた不揮発性半導体記憶装置であって、

活性状態時に、外部アドレス信号に基づき選択された選択メモリトランジスタに対し、外部書き込みデータに応じて不揮発な書き込みを行う書き込み手段と、

活性状態時に、前記選択メモリトランジスタの記憶内容を内部読み出しデータとして出力する読み出し手段と、

活性状態時に、前記外部書き込みデータと前記内部読み出しデータとを比較して、その一致／不一致を指示する比較信号を出力するデータ比較手段と、

書き込み時に前記書き込み手段を活性化し、前記選択メモリトランジスタへの書き込みを行った後、前記読み出し手段を活性化し前記選択メモリトランジスタの記憶内容の内部読み出しを行い、その後に前記データ比較手段を活性化して前記外

部書き込みデータと前記内部読み出しデータとを比較する書き込みベリファイ動作を実行し、前記比較信号が不一致を指示した場合、再度書き込み動作を行う書き込み制御手段とを備えた不揮発性半導体記憶装置。